

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-046865

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 2001-233698

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.08.2001

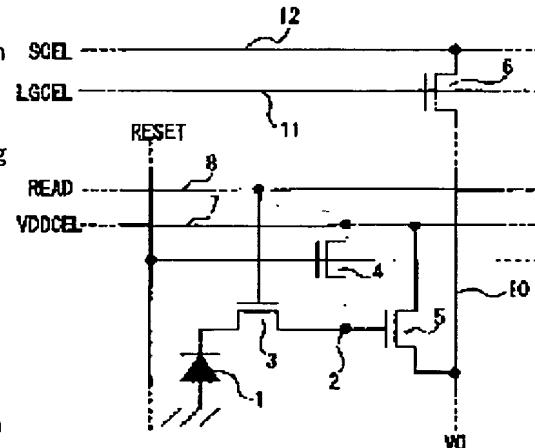
(72)Inventor : KASUGA SHIGETAKA
YAMAGUCHI TAKUMI

(54) SOLID-STATE IMAGE PICKUP DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To easily realize ensuring an area of a PD(Photodiode) section and micronization of a photoelectric transducing cell size in a solid-state image pickup device employing an FDA(Floating Diffusion Amplifier) system.

SOLUTION: One photoelectric conversion cell is provided with a floating diffusion(FD) section 2 according to one photoelectric transducer (PD section) 1, a pixel amplifier 5 for detecting the potential of the FD section, a reading transistor for reading a charge signal from the PD section into the FD section, and a reset transistor 4 for initializing the potential of the FD section. Operation voltage of the pixel amplifier 5 is applied to a load gate line 11. The reset transistor 4 is turned on during a horizontal blanking period and during a period when drain line voltage of a line to be selected is in 'H' level to detect the potential of the FD section by the pixel amplifier 5 when it is in a reset level. The reset transistor 4 is turned on, and then the reading transistor 3 is turned on to detect the potential of the FD section by the pixel amplifier 5 when it is in a signal accumulation level.



LEGAL STATUS

[Date of request for examination] 17.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

THIS PAGE BLANK (USPTO)

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-46865

(P2003-46865A)

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl.⁷

H 0 4 N 5/335
H 0 1 L 27/146

識別記号

F I

H 0 4 N 5/335
H 0 1 L 27/14

テマコト^{*}(参考)

E 4 M 1 1 8
A 5 C 0 2 4

審査請求 未請求 請求項の数 6 O.L (全 8 頁)

(21)出願番号 特願2001-233698(P2001-233698)

(22)出願日 平成13年8月1日 (2001.8.1.)

(71)出願人 000003821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 春日 繁孝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山口 琢己

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナ
ーズ

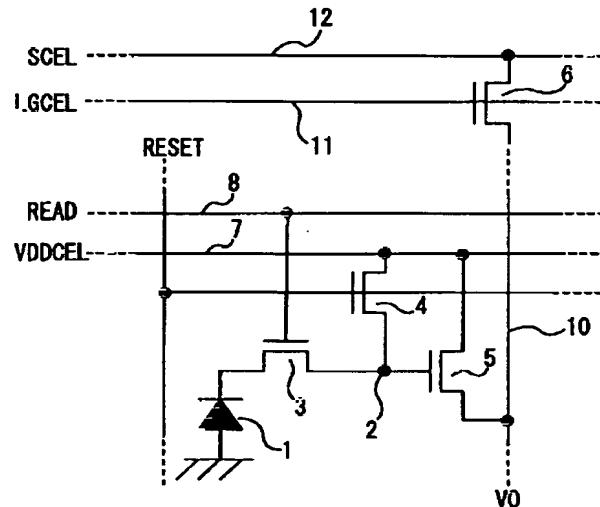
最終頁に続く

(54)【発明の名称】 固体撮像装置およびその駆動方法

(57)【要約】

【課題】 F D A 方式を用いた固体撮像装置において、P D 部の面積確保や光電変換セルサイズの微細化を容易に実現する。

【解決手段】 1つの光電変換セルに、1つの光電変換素子 (P D 部) 1 に対応したフローティングディフュージョン (F D) 部 2 と、F D 部の電位を検出する画素アンプ 5 と、P D 部からの電荷信号を F D 部に読み出す読出しトランジスタ 3 と、F D 部の電位をドレイン線 7 の電位に初期化するリセットトランジスタ 4 とを設け、コードゲート線 11 に画素アンプの動作電圧を印加し、水平ブランкиング期間内でかつ選択対象行のドレイン線電圧が「H」レベルの期間内に、リセットトランジスタをオンして、F D 部電位をリセットレベルとして画素アンプで検出し、リセットトランジスタをオフした後に読出しトランジスタをオンして、F D 部電位を蓄積信号レベルとして画素アンプで検出する。



【特許請求の範囲】

【請求項1】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置を駆動する方法であって、
水平ブランкиング期間内において、選択行のドレン線を「High」レベルにし、非選択行のドレン線を「Low」レベルにし、少なくとも非選択行のドレン線につながった光電変換セルの前記リセットトランジスタをオンして、選択行の光電変換セル内の画素アンプを活性化状態にし、非選択行の光電変換セル内の画素アンプを非活性状態にして、任意の行の光電変換セルで蓄積された電荷信号を検出することを特徴とする固体撮像装置の駆動方法。

【請求項2】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置であって、
水平ブランкиング期間内において、選択行のドレン線を「High」レベルにし、非選択行のドレン線を「Low」レベルにし、少なくとも非選択行のドレン線につながった光電変換セルのリセットトランジスタをオンして、選択行の光電変換セル内の前記FD部の電位をリセットレベルとして前記画素アンプで検出し、次に前記少なくとも非選択行のドレン線につながった光電変換セルのリセットトランジスタをオフしつつ前記読出しトランジスタをオンして、前記選択行の光電変換セル内の前記FD部の電位を蓄積信号レベルとして前記画素アンプで検出し、前記リセットレベルと前記蓄積信号レベルの差を検出するノイズキャンセル回路を前記半導体基板上に備えたことを特徴とする固体撮像装置。

【請求項3】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、
水平ブランкиング期間内において、

選択行のドレン線を「High」レベルにし、非選択行のドレン線を「Low」レベルにする工程と、

少なくとも非選択行のドレン線につながった光電変換セルのリセットトランジスタと各列の出力信号線につながったロードトランジスタをオンし、次に前記リセットトランジスタと前記ロードトランジスタをオフして、選択行の光電変換セル内の前記FD部の電位を信号のない基準レベルとして前記画素アンプで検出する工程と、前記ロードトランジスタと前記読出しトランジスタをオンし、次に前記ロードトランジスタと前記読出しトランジスタをオフして、前記選択行の光電変換セル内の前記FD部の電位を蓄積信号レベルとして前記画素アンプで検出する工程と、
前記選択行のドレン線を「High」レベルから「Low」レベルにした後、前記リセットトランジスタをオン／オフして、前記選択行を非選択にする工程とを含むことを特徴とする固体撮像装置の駆動方法。

【請求項4】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、
水平ブランкиング期間内において、

選択行のドレン線を「High」レベルにし、非選択行のドレン線を「Low」レベルにし、少なくとも非選択行のドレン線につながった光電変換セルのリセットトランジスタと各列の出力信号線につながったロードトランジスタをオンし、先に前記リセットトランジスタをオフした後に前記ロードトランジスタをオフして、選択行の光電変換セル内の前記FD部の電位を信号のない基準レベルとして前記画素アンプで検出し、前記ロードトランジスタと前記読出しトランジスタをオンし、次に前記ロードトランジスタと読出しトランジスタをオフして、前記選択行の光電変換セル内の前記FD部の電位を蓄積信号レベルとして前記画素アンプで検出し、
次に、前記選択行のドレン線を「High」レベルから「Low」レベルにした後、前記リセットトランジスタをオン／オフして、前記選択行を非選択にすることを特徴とする固体撮像装置の駆動方法。

【請求項5】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、
水平ブランкиング期間内において、

各列の出力信号線につながったロードトランジスタのゲ

ート電圧を画素アンプの動作点となる電圧に設定し、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオンして、選択行の光電変換セル内の前記FD部の電位をリセットレベルとして前記画素アンプで検出し、前記少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオフした後に前記読出しトランジスタをオンして、前記選択行の光電変換セル内の前記FD部の電位を蓄積信号レベルとして前記画素アンプで検出し、

次に、前記選択行のドレイン線を「High」レベルから「Low」レベルにした後、前記少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフして、前記選択行を非選択にすることを特徴とする固体撮像装置の駆動方法。

【請求項6】 光電変換素子と、前記光電変換素子に対応するフローティングディフュージョン(FD)部と、前記FD部の電位を検出する画素アンプと、前記光電変換素子で光電変換された電荷信号を前記FD部に読み出す読出しトランジスタと、前記FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置を駆動する方法であって、

水平ランキング期間内において、

選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、各列の出力信号線につながったロードトランジスタのゲート電圧を「Low」レベルに設定し、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフした後、前記読出しトランジスタをオン／オフして、前記光電変換セルで生成された電荷信号を初期化し、

次に、前記選択行のドレイン線を「High」レベルから「Low」レベルにした後、前記少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフして、前記選択行を非選択に戻すことを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の光電変換素子が配置された固体撮像装置およびその駆動方法に係り、特に光電変換セルの開口率向上やサイズ縮小化技術に関する。

【0002】

【従来の技術】 従来のMOS型イメージセンサは、フローティングディフュージョン部(以下、FD部と略称する)を縮小化して感度向上を図るために、フォトダイオード部(以下、PD部と略称する)の表面をP型半導体で覆い白キズ対策を図るために、フローティング・ディ

フュージョン・アンプリファ(以下、FDAと略称する)方式の画素構造を採用してきた。

【0003】

【発明が解決しようとする課題】 この方式は、PD部に蓄積された電荷を一旦FD部に読み出す読出しトランジスタと、光電変換セルごとに設けられた画素アンプと、FD部の電位をリセットするリセットトランジスタと、垂直走査を行う行選択トランジスタとで構成され、1つの光電変換セルに合計4つのトランジスタが必要となり、セルに占めるトランジスタ部分のサイズが大きくなり、PD部の面積の確保や一つの光電変換セルサイズの微細化が困難であるという問題を抱えている。

【0004】 本発明は、かかる問題点に鑑みてなされたものであり、その目的は、FDA方式で一般的に使用される前記4つのトランジスタのうち、行選択トランジスタをなくすことによって、1つの光電変換セルを3つのトランジスタのみで構成できるようにするとともに、リセットトランジスタのゲート電圧印加線を、光電変換セル領域を遮光する遮光層と兼用させることもできるため、PD部の面積確保や光電変換セルサイズの微細化を容易に実現できる固体撮像装置およびその駆動方法を提供することにある。

【0005】

【課題を解決するための手段】 前記の目的を達成するため、本発明に係る第1の固体撮像装置の駆動方法は、光電変換素子(PD部)と、光電変換素子に対応するフローティングディフュージョン(FD)部と、FD部の電位を検出する画素アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置を駆動する方法であって、水平ランキング期間内において、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオンして、選択行の光電変換セル内の画素アンプを活性化状態にし、非選択行の光電変換セル内の画素アンプを非活性状態にして、任意の行の光電変換セルで蓄積された電荷信号を検出することを特徴とする。

【0006】 この構成によれば、1つの光電変換セル内のトランジスタを、画素アンプと、読出しトランジスタと、リセットトランジスタの3つのみで構成し、リセットトランジスタのゲート電圧印加線を、光電変換セル領域を遮光する遮光層と兼用させ、ドレイン線にパルス信号(VDDCEL)を与えて、その「High」レベル時と「Low」レベル時のそれぞれで、全ての光電変換セルのリセットトランジスタをオン／オフすることで、垂直走査機能を実現することができ、従来では光電変換

セルに必要であった行選択トランジスタが不要となり、PD部の面積確保や光電変換セルサイズの微細化を実現することが可能になる。

【0007】前記の目的を達成するため、本発明に係る固体撮像装置は、光電変換素子（PD部）と、光電変換素子に対応するフローティングディフュージョン（FD）部と、FD部の電位を検出する画素アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置であって、水平ブランкиング期間内において、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオンして、選択行の光電変換セル内のFD部の電位をリセットレベルとして画素アンプで検出し、次に少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオフしかつ読出しトランジスタをオンして、選択行の光電変換セル内のFD部の電位を蓄積信号レベルとして画素アンプで検出し、リセットレベルと蓄積信号レベルの差を検出するノイズキャンセル回路を半導体基板上に備えたことを特徴とする。

【0008】この構成によれば、第1の固体撮像装置の駆動方法による利点に加えて、ノイズキャンセル回路により、画素アンプの閾値ばらつきやノイズ成分を除去することが可能になる。

【0009】前記の目的を達成するため、本発明に係る第2の固体撮像装置の駆動方法は、光電変換素子と、光電変換素子に対応するフローティングディフュージョン（FD）部と、FD部の電位を検出する画素アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、水平ブランкиング期間内において、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにする工程と、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタと各列の出力信号線につながったロードトランジスタをオンし、次にリセットトランジスタとロードトランジスタをオフして、選択行の光電変換セル内のFD部の電位を信号のない基準レベルとして画素アンプで検出する工程と、ロードトランジスタと読出しトランジスタをオンし、次にロードトランジスタと読出しトランジスタをオフして、選択行の光電変換セル内のFD部の電位を蓄積信号レベルとして画素アンプで検出する工程と、選択行のドレイン線を「High」レベルから「Low」レベルにした後、リセットトランジスタをオン／オフして、選択行を非選択にすることを特徴とする。

後、リセットトランジスタをオン／オフして、選択行を非選択にする工程とを含むことを特徴とする。

【0010】この構成によれば、第1の固体撮像装置の駆動方法による利点に加えて、基準レベルの検出は、リセットトランジスタとロードトランジスタが共にオフのときに行われ、この時、ロードトランジスタがオフすると、信号線内の電子が、基準レベルのFD部の電位がかかった、画素内アンプゲートの下を通ってVDD電源に流れ、安定したりセットゲート下の電位になり、安定した信号線電位を実現することができる。また、信号レベルの検出は、読出しトランジスタとロードトランジスタが共にオフのときに行われ、この時、ロードトランジスタがオフすると、信号線内の電子が、信号レベルのFD部の電位がかかった、画素内アンプゲートの下を通ってVDD電源に流れ、安定したりセットゲート下の電位になり、安定した信号線電位を実現することができる。

【0011】前記の目的を達成するため、本発明に係る第3の固体撮像装置の駆動方法は、光電変換素子（PD部）と、光電変換素子に対応するフローティングディフュージョン（FD）部と、FD部の電位を検出する画素アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、水平ブランкиング期間内において、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタと各列の出力信号線につながったロードトランジスタをオンし、先にリセットトランジスタをオフした後にロードトランジスタをオフして、選択行の光電変換セル内のFD部の電位を信号のない基準レベルとして画素アンプで検出し、ロードトランジスタと読出しトランジスタをオンし、次にロードトランジスタと読出しトランジスタをオフして、選択行の光電変換セル内のFD部の電位を蓄積信号レベルとして画素アンプで検出し、次に、選択行のドレイン線を「High」レベルから「Low」レベルにした後、リセットトランジスタをオン／オフして、選択行を非選択にすることを特徴とする。

【0012】この構成によれば、第1の固体撮像装置の駆動方法による利点に加えて、第2の固体撮像装置の駆動方法に比較して、基準レベルを検出する際に、リセットトランジスタをロードトランジスタよりも早くオフにすることで、FD部の基準レベルを早く安定にさせるため、信号線の電位が更に安定化する。

【0013】前記の目的を達成するため、本発明に係る第4の固体撮像装置の駆動方法は、光電変換素子（PD部）と、光電変換素子に対応するフローティングディフュージョン（FD）部と、FD部の電位を検出する画素

アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置の駆動方法であって、水平ランキング期間内において、各列の出力信号線につながったロードトランジスタのゲート電圧を画素アンプの動作点となる電圧に設定し、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオンして、選択行の光電変換セル内のFD部の電位をリセットレベルとして画素アンプで検出し、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオフした後に読出しトランジスタをオンして、選択行の光電変換セル内のFD部の電位を蓄積信号レベルとして画素アンプで検出し、次に、選択行のドレイン線を「High」レベルから「Low」レベルにした後、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフして、選択行を非選択にすることを特徴とする。

【0014】この構成によれば、第1の固体撮像装置の駆動方法による利点に加えて、画素アンプのロードトランジスタのゲート電圧を画素アンプの動作点となる電圧に設定することで電荷検出を行なうことができる。

【0015】前記の目的を達成するため、本発明に係る第5の固体撮像装置の駆動方法は、光電変換素子(PD部)と、光電変換素子に対応するフローティングディフュージョン(FD)部と、FD部の電位を検出する画素アンプと、光電変換素子で光電変換された電荷信号をFD部に読み出す読出しトランジスタと、FD部の電位をドレイン線の電位に設定するリセットトランジスタとで構成された光電変換セルが複数個半導体基板上で行列状に配置された固体撮像装置を駆動する方法であって、水平ランキング期間内において、選択行のドレイン線を「High」レベルにし、非選択行のドレイン線を「Low」レベルにし、各列の出力信号線につながったロードトランジスタのゲート電圧を「Low」レベルに設定し、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフした後、読出しトランジスタをオン／オフして、光電変換セルで生成された電荷信号を初期化し、次に、選択行のドレイン線を「High」レベルから「Low」レベルにした後、少なくとも非選択行のドレイン線につながった光電変換セルのリセットトランジスタをオン／オフして、選択行を非選択に戻すことを特徴とする。

【0016】この構成によれば、画素アンプは電位検出することなく、光電変換素子のみリセット状態にすることができる、電子シャッター機能を実現することができると。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。なお、以下の実施形態では、固体撮像装置としてMOS型イメージセンサを例に説明する。

【0018】(第1の実施形態)まず、本発明の第1の実施形態について、図1から図3を参照して説明する。

【0019】図1は、本発明の第1の実施形態に係るMOS型イメージセンサにおける光電変換セルの回路構成図である。なお、図1の光電変換セルの構成は、後述する他の実施形態においても同様である。

【0020】図1において、1は光電変換を行なうPD部、2は光電変換後の電荷を蓄積するFD部、3はFD部2に電荷読出しを行う読出しトランジスタ、4はFD部2の電位をドレイン線信号VDDCELの電位に初期化するリセットトランジスタ、5はFD部2の電荷検出を行う画素アンプ、6は画素アンプ5と共にソースフォローアンプを形成するためのロードトランジスタ、7はドレイン線、8は読出しトランジスタ3に読み出し信号READを印加する読み出しパルス線、9はFD部2の電位をドレイン電圧信号VDDCELの電位に初期化するリセット信号RESETが印加されるリセットパルス線、10は画素アンプ5で検出された画素信号VOを伝達する出力信号線、11はロードトランジスタ6のゲートにロードゲート信号LGCELを印加するロードゲート線、12はロードトランジスタ6のソースにソース電圧信号SCELを印加するソース線である。

【0021】図2は、図1の光電変換セルをアレイ状に配置したMOS型イメージセンサの全体回路構成図で、図3はその駆動方法を示す動作タイミング図である。

【0022】図2において、31はタイミング発生回路、32はノイズキャンセル回路、33は水平ライン走査回路、34は出力アンプ、35はマルチプレクサ、36は垂直ライン走査回路である。タイミング発生回路31は、ロードゲート信号LGCEL、ソース電圧信号SCEL、リセット信号RESET、サンプルホールドパルスSHNCを生成するとともに、ドレイン電圧信号VDDCEL、読み出し信号READの生成タイミングを制御する。

【0023】以下、図2および図3を用いて、本実施形態によるMOS型イメージセンサの動作について詳細に説明する。なお、図3の動作タイミングは、水平ランキング期間内で一連の動作を完結させるものである。

【0024】まず、ロードゲート線11にロードゲート信号LGCELとして、画素アンプ5が動作する所定の一定電圧Vc1gを印加する。次に、選択対象行のドレイン電圧信号VDDCELを「High」レベルにした後、全ての光電変換セルに共通するリセット信号RESETを活性化して、FD部2の電位をドレイン電圧信号VDDCELの電位に初期化する。このとき、FD部2

の電位をリセットレベル V_r として画素アンプで検出し、出力信号線10を介して、このリセットレベル V_r をサンプルホールドパルスSHNCでサンプリングして、ノイズキャンセル回路32にて、画素信号VOのリセットレベルクランプを行なう(図3の期間Tr)。

【0025】次に、全ての光電変換セルに共通するリセット信号RESETを非活性化した後、選択行の読み出し信号READを活性化してFD部2にPD部1の蓄積電荷を読み出し、画素アンプ5で蓄積信号レベルVsを検出し、出力信号線10を介して、この蓄積信号レベルVsをサンプルホールドパルスSHNCでサンプリングして、ノイズキャンセル回路32にて、画素信号VOのサンプルホールドを行なう(図3の期間Ts)。以上の動作により、画素アンプ5の閾値ばらつきやノイズ成分を除去した画素信号VOを検出することができる。

【0026】続いて、選択行のドレイン電圧信号VDDCELを「Low」レベルにして、全ての光電変換セルに共通するリセット信号RESETを活性化すると、FD部2の電位は、ドレイン電圧信号VDDCELの「Low」レベル(この場合、GND)になり、画素アンプ5は動作しなくなる。以降、垂直ライン走査回路36によって、再び該選択行のドレイン電圧信号VDDCELと読み出し信号READが活性化されるまで、該画素アンプ5は動作しないため、非選択状態となる。

【0027】すなわち、ドレイン電圧信号VDDCEL、読み出し信号READ及びリセット信号RESETのタイミングによって、3つのトランジスタ3、4、5だけで、光電変換セルの蓄積信号読み出し、蓄積信号リセット、および垂直走査が行えることになり、従来では必要であった行選択トランジスタが不要になるとともに、リセット信号RESETが印加されるリセット線9を遮光層と兼用できるため、光電変換セル内のPD部1のサイズが大きくとれ、セルサイズの微細化に有利になる。

【0028】(第2の実施形態) 次に、本発明の第2の実施形態について、図2および図4を参照して説明する。

【0029】図4は、本発明の第2の実施形態に係るMOS型イメージセンサの駆動方法を示す動作タイミング図である。以下、図2および図4を用いて、本実施形態によるMOS型イメージセンサの動作について詳細に説明する。なお、図4の動作タイミングは、水平ブランディング期間内で一連の動作を完結させるものである。

【0030】まず、選択対象行のドレイン電圧信号VDDCELを「High」レベルにした後、各列のロードトランジスタ6に共通するロードゲート信号LGCELと、全ての光電変換セルに共通するリセット信号RESETとを活性化して、FD部2の電位をドレイン電圧信号VDDCELの電位に初期化する。次に、リセット信号RESETを非活性化した後、マージン期間Tmを設

けて、ロードゲート信号LGCELを非活性化し、この直後に、画素アンプ5で信号のない基準レベル V_r を検出し、出力信号線10を介して、この基準レベル V_r をサンプルホールドパルスSHNCでサンプリングして、ノイズキャンセル回路32にて、画素信号VOの基準レベルクランプを行なう(図4の期間Tr)。

【0031】次に、ロードゲート信号LGCELと選択行の読み出し信号READを活性化して、FD部2にPD部1の蓄積電荷を読み出した後、読み出し信号READを非活性化した後、マージン期間Tmを設けて、ロードゲート信号LGCELを非活性化し、この直後に、画素アンプ5で蓄積信号レベルVsを検出し、出力信号線10を介して、この蓄積信号レベルVsをサンプルホールドパルスSHNCでサンプリングして、ノイズキャンセル回路32にて、画素信号VOのサンプルホールドを行なう(図4の期間Ts)。

【0032】上記のように、リセット信号RESETをロードゲート信号LGCELよりも早く非活性化することで、FD部2の基準レベル V_r が早く安定化する。また、読み出し信号READをロードゲート信号LGCELよりも早く非活性化することで、PD部1から読み出した蓄積信号レベルが早く安定化する。これにより、安定した信号検出が可能になる。

【0033】続いて、選択行のドレイン電圧信号VDDCELを「Low」レベルにして、リセット信号RESETを活性化にすると、FD部2の電位は、ドレイン電圧信号VDDCELの「Low」レベル(この場合GND)になり、画素アンプ5は動作しなくなる。以降、垂直ライン走査回路36によって、再び該選択行のドレイン電圧信号VDDCELと読み出し信号READが活性化されるまで、該画素アンプ5は動作しないため、非選択状態となる。

【0034】すなわち、ドレイン電圧信号VDDCEL、読み出し信号READ及びリセット信号RESETのタイミングによって、3つのトランジスタ3、4、5だけで、光電変換セルの蓄積信号読み出し、蓄積信号リセット、および垂直走査が行えることになり、従来では必要であった行選択トランジスタが不要になるとともに、リセット信号RESETが印加されるリセット線9を遮光層と兼用できるため、光電変換セル内のPD部1のサイズが大きくとれ、セルサイズの微細化に有利になる。

【0035】(第3の実施形態) 次に、本発明の第3の実施形態について、図5および図6を参照して説明する。

【0036】図5は、本発明の第3の実施形態に係るMOS型イメージセンサの全体回路構成図であり、図6は、その駆動方法を示す動作タイミング図である。

【0037】図5に示す本実施形態が第1および第2の実施形態と異なる点は、図2の構成に加えて、電子シャ

ッターウォッチ回路37を設けた点にあり、電子シャッター走査回路37から、FD部2の電位をドレイン電圧信号VDDCELの電位に初期化するために、電子シャッター時リセット信号RESETが、またPD部1からFD部2への蓄積信号読出し用に、電子シャッター時読み出し信号READが出力される。

【0038】図7に示す動作タイミングは、図4の動作タイミングに電子シャッター動作を組み込んだ例を示し、ロードゲート信号LGCELのタイミングに特徴を持たせている。すなわち、蓄積信号を検出する場合は、ロードゲート信号LGCELとしてパルス信号あるいは所定の一定電圧をロードトランジスタ6のゲートに印加して画素アンプ5を動作させ、蓄積信号を出力せずに蓄積信号の初期化のみ行う場合は、ロードゲート信号LGCELをGND状態にして、画素アンプ5を動作させないようにしている。この初期化のみ行う動作により、電子シャッター動作を実現するものである。

【0039】

【発明の効果】以上説明したように、本発明によれば、FDA方式であるにもかかわらず、1つの光電変換セルを3つのトランジスタだけで構成することができ、開口率の向上およびセルサイズの微細化を実現することが可能となる。

【図面の簡単な説明】

【図1】光電変換セルの回路構成図

【図2】本発明の第1および第2の実施形態に係るMOS型イメージセンサの全体回路構成図

【図3】本発明の第1の実施形態に係るMOS型イメ

ージセンサの駆動方法を示す動作タイミング図

【図4】本発明の第2の実施形態に係るMOS型イメージセンサの駆動方法を示す動作タイミング図

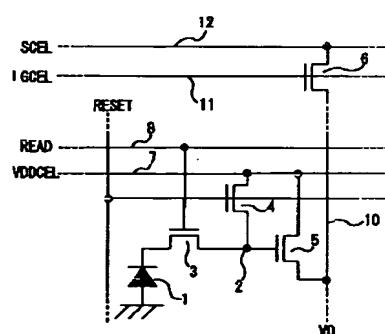
【図5】本発明の第3の実施形態に係るMOS型イメージセンサの全体回路構成図

【図6】図5のMOS型イメージセンサの駆動方法を示す動作タイミング図

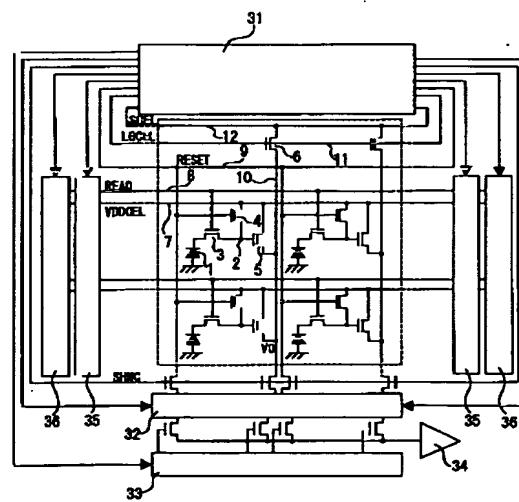
【符号の説明】

- 1 フォトダイオード部(PD部)
- 2 フローティングディフュージョン部(FD部)
- 3 読出しトランジスタ
- 4 リセットトランジスタ
- 5 画素アンプ
- 6 ロードトランジスタ
- 7 ドレイン線
- 8 読み出しパルス線
- 9 リセットパルス線
- 10 出力信号線
- 11 ロードゲート線
- 12 ソース線
- 31 タイミング発生回路
- 32 ノイズキャンセル回路
- 33 水平ライン走査回路
- 34 出力アンプ
- 35 マルチプレクサ
- 36 垂直ライン走査回路
- 37 電子シャッター走査回路

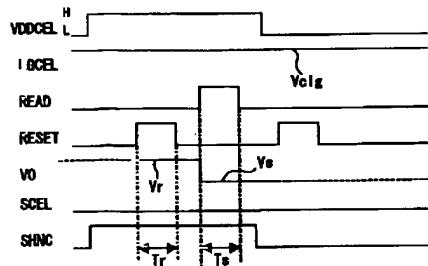
【図1】



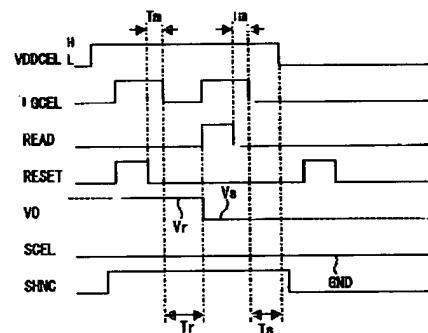
【図2】



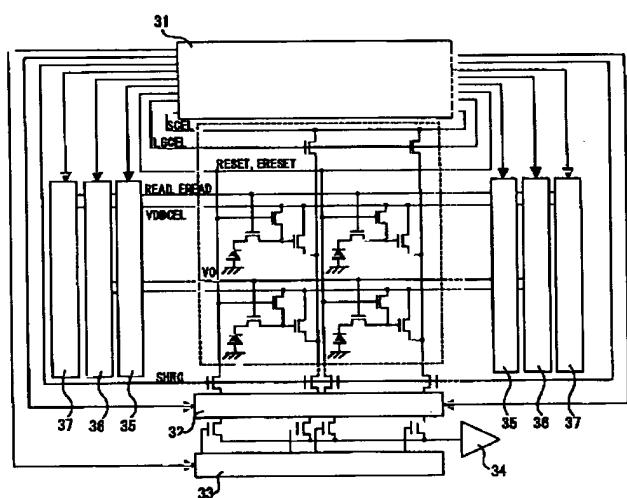
【図3】



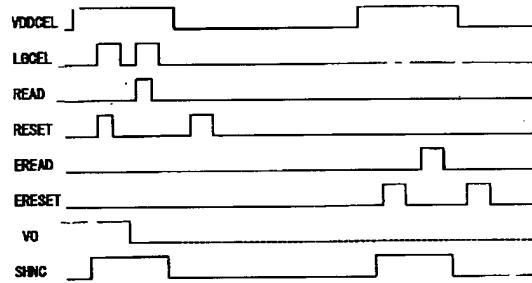
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4M118 AA01 AA10 AB01 BA14 CA02
DD04 DD12 FA06 GA10 GB15
5C024 CX41 GX03 GY31 GY37 GY46
HX12 HX17